

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-183304
 (43) Date of publication of application : 30.06.2000

(51) Int.CI. H01L 27/108
 H01L 21/8242
 H01L 21/768

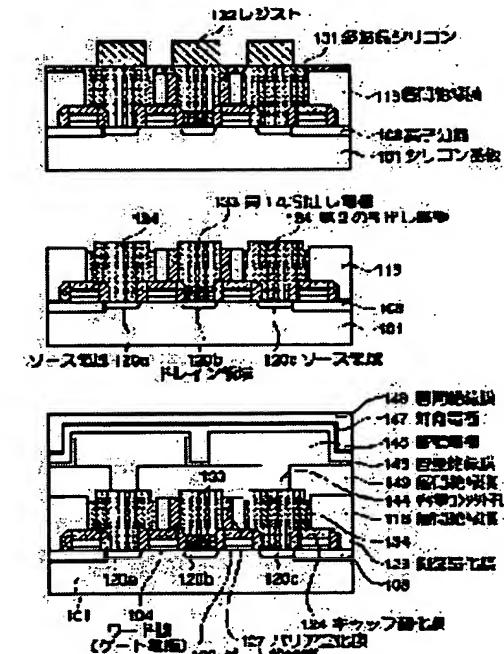
(21) Application number : 10-352929 (71) Applicant : NEC CORP
 (22) Date of filing : 11.12.1998 (72) Inventor : SAKAO MASATO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a DRAM, in which a pair of switching transistors are formed in a single element region.

SOLUTION: The whole main face of a substrate 101, including a gate electrode 104, common drain region 120b, and individual source regions 120a and 120c, is covered with an interlayer insulating film 116. Then, a first opening which reaches the common drain region 120b is formed in dimensions larger than the minimum working dimensions at an interlayer insulating film 116, and an etching barrier film 127 is formed on the inner face of the first opening. Also, a second opening reaching the individual source regions 120a and 120c is formed in dimensions larger than the minimum working dimensions at the interlayer insulating film, and the first opening and the second opening are packed with conductive materials, so that leading electrodes 133 and 134 brought independently into contact with the common drain region 120b and the individual source regions 120a and 120c can be formed.



LEGAL STATUS

[Date of request for examination] 18.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3168999

[Date of registration] 16.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-183304
(P2000-183304A)

(43)公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. ⁷ H 01 L 27/108 21/8242 21/768	識別記号 F I H 01 L 27/10 21/90 27/10	特許出願公開番号 6 2 1 Z 5 F 0 3 3 C 5 F 0 8 3 6 8 1 B	テーマコード (参考) 5 F 0 3 3 5 F 0 8 3
---	---	---	---------------------------------------

審査請求 有 請求項の数8 O.L (全15頁)

(21)出願番号 特願平10-352929
(22)出願日 平成10年12月11日 (1998.12.11)

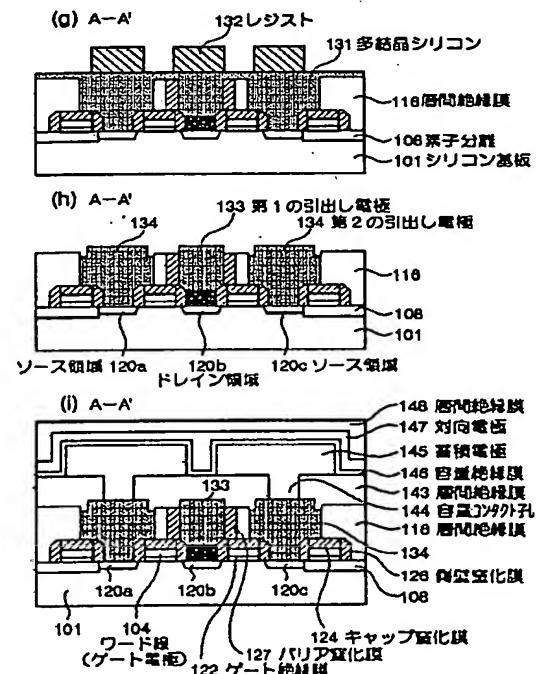
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 坂尾 貞人
東京都港区芝五丁目7番1号 日本電気株式会社内
(74)代理人 100092277
弁理士 越場 隆

最終頁に統く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【課題】 1つの素子領域に一対のスイッチングトランジスタが形成されるDRAMの製造方法を提供する。
【解決手段】 ゲート電極104と共通ドレイン領域120bと個別ソース領域120a、120cとを含む基板101の主面全体を層間絶縁膜116で覆い、その層間絶縁膜116に、共通ドレイン領域120bに達する第1の開口を最小加工寸法より大きい寸法で形成し、その第1の開口の内側面にエッチングバリア膜127を形成し、層間絶縁膜に、個別ソース領域120a、120cに達する第2の開口を最小加工寸法より大きい寸法で形成し、第1の開口と第2の開口に導電性材料を充填して、共通ドレイン領域120bと個別ソース領域120a、120cにそれぞれに独立して接触する引出し電極133、134を形成する。



1

【特許請求の範囲】

【請求項1】1つの素子領域に一对のトランジスタが形成されて、一对のトランジスタのそれぞれのゲート電極の間に、一对のトランジスタに共通の共通拡散層が形成され、それぞれのゲート電極の外側に、一对のトランジスタのそれぞれの個別拡散層が形成され、共通拡散層と個別拡散層とが引出し電極を介して上層導電層にそれぞれ接続される半導体装置の製造方法において、ゲート電極と共通拡散層と個別拡散層とを含む基板正面全体を層間絶縁膜で覆い、前記層間絶縁膜に、共通拡散層と個別拡散層の一方に達する第1の開口を最小加工寸法より大きい寸法で形成し、その第1の開口の内側面にエッチングバリア膜を形成し、前記層間絶縁膜に、共通拡散層と個別拡散層の他方に達する第2の開口を最小加工寸法より大きい寸法で形成し、前記第1の開口と前記第2の開口とに同時に導電性材料を充填して、共通拡散層と個別拡散層のそれぞれに独立して接触する前記引出し電極を形成することを特徴とする半導体装置の製造方法。

【請求項2】前記導電性材料を前記層間絶縁膜より厚く堆積した後エッチバックすることにより、前記第1の開口と前記第2の開口とに同時に前記導電性材料を充填し、更に、前記導電性材料上の前記第1の開口と前記第2の開口の位置に、前記第1の開口と前記第2の開口の寸法より小さい寸法のマスクパターンを形成して、該マスクパターンをマスクにして前記導電性材料を、前記層間絶縁膜の上面より低いレベルまでエッチングして、前記第1の開口に充填された導電性材料により形成される引出し電極と、前記第2の開口に充填された導電性材料により形成される引出し電極とを、前記層間絶縁膜と前記エッチングバリア膜とにより、互いに分離することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記導電性材料を前記層間絶縁膜より厚く堆積した後エッチバックすることにより、前記第1の開口と前記第2の開口とに同時に前記導電性材料を充填し、更に、前記導電性材料上の前記第1の開口の位置に、前記第1の開口の寸法とほぼ同じ寸法のマスクパターンを形成して、該マスクパターンをマスクにして前記導電性材料を、前記層間絶縁膜の上面より低いレベルまでエッチングして、前記第1の開口に充填された導電性材料により形成される引出し電極と、前記第2の開口に充填された導電性材料により形成される引出し電極とを、前記層間絶縁膜と前記エッチングバリア膜とにより、互いに分離することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】1つの素子領域に一对のトランジスタが形成されて、一对のトランジスタのそれぞれのゲート電極の間に、一对のトランジスタに共通の共通拡散層が形成され、それぞれのゲート電極の外側に、一对のトランジスタのそれぞれの個別拡散層が形成され、共通拡散層と個別拡散層とが引出し電極を介して上層導電層にそれぞ

2

れ接続される半導体装置の製造方法において、ゲート電極と共に拡散層と個別拡散層とを含む基板正面全体を層間絶縁膜で覆い、その層間絶縁膜に、共通拡散層と個別拡散層の一方に達する第1の開口を最小加工寸法より大きい寸法で形成し、その第1の開口の内側面にエッチングバリア膜を形成し、前記第1の開口を画成する該エッチングバリア膜を残す一方、共通拡散層と個別拡散層の両方を中に含む大きさの第2の開口を前記層間絶縁膜に形成し、該第2の開口に導電性材料を充填して、更に前記エッチングバリア膜の上部が露出するまでエッチバックして、共通拡散層と個別拡散層のそれぞれに独立して接触する前記引出し電極を、前記第1の開口内と、前記エッチングバリア膜により分割された前記第2の開口内とに形成することを特徴とする半導体装置の製造方法。

【請求項5】前記ゲート電極を、側壁窒化膜とキャップ窒化膜とで覆い、前記エッチングバリア膜を窒化膜で形成し、前記層間絶縁膜を酸化膜で形成し、前記第2の開口は、酸化膜に対するエッチング速度が窒化膜に対するエッチング速度より十分高いエッチング選択比のエッチングで前記層間絶縁膜をエッチングすることにより形成することを特徴とする請求項1から4までのいずれか1項に記載の半導体装置の製造方法。

【請求項6】前記第1の開口を形成した後で前記第2の開口を形成する前に、前記第1の開口の底部に導電性材料を充填することを特徴とする請求項1から5までのいずれか1項に記載の半導体装置の製造方法。

【請求項7】前記第1の開口及び前記第2の開口に充填される前記導電性材料は、高濃度で不純物が導入された半導体材料であることを特徴とする請求項1から6までのいずれか1項に記載の半導体装置の製造方法。

【請求項8】前記第1の開口及び前記第2の開口に充填された前記導電性材料をエッチングするとき、前記第1の開口内に充填された前記導電性材料が前記素子領域の外部まで延びるように前記層間絶縁膜上に延在するように前記導電性材料をパターニングすることを特徴とする請求項1から7までのいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係わるものであり、特に、DRAMにおいてペアのスイッチングトランジスタの特性が対称性よく形成できる半導体装置の製造方法に係わるものである。

【0002】

【従来の技術】電荷の形で2値情報を貯蔵するDRAMセルは、その構成要素が、1つのトランジスタと1つのキャパシタのみであり、その構成要素の少なさから、セル面積が小さくできる大きな利点を有している。さらなるメモリセルの小型化、メモリの大容量化のために、フォトリソグラフィーやドライエッチングに代表される微

10

20

30

40

50

細加工技術の進展とともに、メモリセルの構造の工夫やセルの製造方法の改善がなされてきた。

【0003】セル面積の小型化が図られたメモリセルの製造方法の従来例として、例えば、米国特許第5671175号明細書に開示された方法がある。図11

(a)、(b)は、その製造方法により形成されたDRAMを説明するための平面図と断面図である。図11 (b)は図11 (a)の線A-A'の断面図である。

【0004】シリコン基板301の表面に、図面において横に細長い矩形の素子領域302の一つ一つの周囲を囲むように素子分離308が形成されている。そのような素子領域302に直交するようにスイッチングトランジスタのワード線304が配置されている。ワード線304は、各スイッチングトランジスタの上では、ゲート電極として機能する。各素子領域302には、1つの共通ドレイン領域320bと2つのソース領域320a及び320cが形成されている。ワード線304を含む半導体基板の表面を覆うように層間絶縁膜316が形成されている。そして、その層間絶縁膜316には開口が開けられて、ソース領域320a及び320cとドレイン領域320bに接続するドープト多結晶シリコンプラグ(引出し電極に相当)またはコンタクト310と312が形成されている。

【0005】ワード線304に直交するように延びるピット線(図11 (a)、(b)には不図示、図11 (c)の318)とドープト多結晶シリコンプラグ312との接続のための接続部分314は、ドープト多結晶シリコンプラグ312の直上から、ワード線304に平行に素子分離308の上方に延在している。図11 (c)は、ピット線と素子領域(ドレイン領域)の概略的な位置関係をわかりやすく立体的透視図で示している。ドープト多結晶シリコンプラグ310は、セル容量の蓄積電極(不図示)とソース領域320a及び320cを接続し、ドープト多結晶シリコンプラグ312は、接続部分314を介してピット線とドレイン領域320bを接続する。

【0006】図12 (d)から図12 (f)、図13 (g)から図13 (j)は、図11 (a)、(b)、(c)に示したDRAMメモリセルの製造方法を図解する、図11 (a)の線A-A'の断面図または線B-B'の断面図である。図11 (a)の線A-A'の断面図である図12 (d)に示すように、シリコン基板301に素子分離308が形成される。ゲート酸化膜322上に、ワード線304とキャップ窒化膜324が形成される。更に窒化膜を成膜した後にエッチバックすることにより、側壁窒化膜326がワード線の側面に形成される。ワード線304とキャップ窒化膜324と側壁窒化膜326との集合体をマスクにしてイオン注入することにより、素子領域302にソース領域320a及び320cとドレイン領域320bが形成される。

【0007】図11 (a)の線B-B'の断面図である図12 (e)に示すように、層間絶縁膜316が、ワード線を含むシリコン基板301主面上に形成される。層間絶縁膜316は、テトラエトキシシラン(TEOS; tetraethoxysilane)またはBPSG(boron-phosphorous silicate glass)を使用して形成される。

【0008】図11 (a)の線A-A'の断面図である図12 (f)のように、この状態で選択的エッチングを用いた自己整合コンタクトプロセスが施され、層間絶縁膜316にコンタクト孔328がワード線304に対して自己整合的に開口される。次いで、不純物が導入された多結晶シリコンを堆積してコンタクト孔328に多結晶シリコンを充填し、更に、堆積多結晶シリコンを、層間絶縁膜316の上面より少し高いレベルまでエッチバックする。その後、エッチバックされた多結晶シリコン324上の、シリコンプラグ310、312及び接続部分314に相当する位置にマスク322を形成する。図13 (g)及び図13 (h)は、この状態での図11 (a)の線A-A'の断面図及びの線B-B'の断面図である。

【0009】更に、マスク332を用いて多結晶シリコン324をバーニングして、図11 (a)の線A-A'の断面図である図13 (i)のように、ドープト多結晶シリコンプラグ310、312並びに接続部分314(図11 (c))を形成する。そのあと、つづいてピット線とセル容量が形成される。

【0010】以上のように設計すると、自己整合コンタクトプロセスを用いても、図11 (a)の線A-A'の断面図である図13 (j)に示されるように、ゲート長方向でのドレイン領域320bの中心を中心にしてペアのスイッチングトランジスタのドープト多結晶シリコンプラグ310及び312が非対称性に形成される場合がある。すなわち、ワード線304とドープト多結晶シリコンプラグとの間隔が、図中のd1とd1'、d2とd2'のように異なってしまう。この非対称性は、ドープト多結晶シリコンプラグから染み出す不純物により、スイッチングトランジスタの特性に影響する。図中では、ドープト多結晶シリコンプラグからの染み出しを破線で示している。かくして、ドープト多結晶シリコンプラグ312に接続される共通ドレイン領域320bとソース領域320aとを含むスイッチングトランジスタと、共通ドレイン領域320bとソース領域320cとを含むスイッチングトランジスタとの特性が異なってしまう。

【0011】このように、自己整合コンタクト技術を使いながらも、メモリセル内の重ねあわせ余裕がなくなつた状態では、ペアのスイッチングトランジスタの特性にアンバランスが生じる問題が発生している。

【0012】このような問題を解決していると思われる半導体装置の製造方法が、特開平9-008254号公

報に開示されている。この特開平9-008254号公報に開示されている方法では、前述した図12(f)のように各素子領域当たり3つのコンタクト孔328を層間絶縁膜316に形成する代りに、ソース領域320aと320cとドレイン領域320bの上だけでなく、ソース領域320aとドレイン領域320bの間のワード線304上からもソース領域320cとドレイン領域320bの間のワード線304上からも層間絶縁膜316を除去して、各素子領域上から層間絶縁膜を全て除去する。その上で、素子領域上に導電層を形成し、層間絶縁膜の厚さまでエッチバックし、全体に第2キャッピング層を形成する。

【0013】次いで、共通ドレイン領域上の位置に、第2キャッピング層と導電層を貫通するコンタクト孔を形成し、その内壁面をスペーサ層で覆う。その結果、共通ドレイン領域の両側にあるソース領域に接続する導電層は、内壁面がスペーサ層で覆われたコンタクト孔により、互いに分離される。各ソース領域に接続するこの導電層が、ストレージノード（蓄積電極）用パッドを構成する。また、導電層上面は第2キャッピング層で覆われ且つコンタクト孔の内壁面がスペーサ層で覆われているので、コンタクト孔の内部スペースは、ソース領域に接続する導電層から絶縁されている。そのコンタクト孔の内部にビットラインパッドを充填して、共通ドレイン領域とのコンタクトが形成される。

【0014】しかし、特開平9-008254号公報に開示されている従来方法では、ストレージノード（蓄積電極）用パッド（第1パッド）の上に、第1キャッピング層を介してビットラインパッド（第2パッド）を配置している。そのため、ストレージノードパッドとストレージノード（特開平9-008254号公報には不図示）の間に、ビットラインパッドと第1キャッピング層が介在することになり、ストレージノードパッドとストレージノードの間が高さ方向に離れる。すなわち両者を接続するコンタクトが深くなる。ストレージノードパッドは、その使用の目的の一つには、このコンタクト深さの低減があるので、このコンタクトが深くなることは好ましくない。なぜならば、コンタクト深さが深くなり、サイズ縮小も行われると、コンタクトのアスペクト比が増大し、コンタクト内の埋めこみ材の埋めこみが困難、更には不可能になる。

【0015】

【発明が解決しようとする課題】本発明は、上述した従来技術の問題を解決した半導体装置の製造方法を提供するものである。具体的には、本発明は、重ね合わせずれが生じても、ペアトランジスタに非対称な特性がでないようなメモリセルの製造方法を提供するものである。更に、本発明は、重ね合わせずれが生じても、ペアトランジスタの特性が非対称ならず、また、ストレージノード用パッドとビットラインパッドをほぼ同じ高さの形

成できる、メモリセルの製造方法を提供するものである。

【0016】

【課題を解決するための手段】本発明の第1の特徴によるならば、1つの素子領域に一对のトランジスタが形成されて、一对のトランジスタのそれぞれのゲート電極の間に、一对のトランジスタに共通の共通拡散層が形成され、それぞれのゲート電極の外側に、一对のトランジスタのそれぞれの個別拡散層が形成され、共通拡散層と個別拡散層とが引出し電極を介して上層導電層にそれぞれ接続される半導体装置の製造方法において、ゲート電極と共通拡散層と個別拡散層とを含む基板正面全体を層間絶縁膜で覆い、前記層間絶縁膜に、共通拡散層と個別拡散層の一方に達する第1の開口を最小加工寸法より大きい寸法で形成し、その第1の開口の内側面にエッチングバリア膜を形成し、前記層間絶縁膜に、共通拡散層と個別拡散層の他方に達する第2の開口を最小加工寸法より大きい寸法で形成し、前記第1の開口と前記第2の開口とに同時に導電性材料を充填して、共通拡散層と個別拡散層のそれぞれに独立して接続する前記引出し電極を形成することを特徴とする半導体装置の製造方法が提供される。

【0017】上記した本発明の第1の特徴による半導体装置の製造方法の1つの態様では、前記導電性材料を前記層間絶縁膜より厚く堆積した後エッチバックすることにより、前記第1の開口と前記第2の開口とに同時に前記導電性材料を充填し、更に、前記導電性材料上の前記第1の開口と前記第2の開口の位置に、前記第1の開口と前記第2の開口の寸法より小さい寸法のマスクパターンを形成して、該マスクパターンをマスクにして前記導電性材料を、前記層間絶縁膜の上面より低いレベルまでエッチングして、前記第1の開口に充填された導電性材料により形成される引出し電極と、前記第2の開口に充填された導電性材料により形成される引出し電極とを、前記層間絶縁膜と前記エッチングバリア膜とにより、互いに分離することができる。

【0018】上記した本発明の第1の特徴による半導体装置の製造方法の別の態様では、前記導電性材料を前記層間絶縁膜より厚く堆積した後エッチバックすることにより、前記第1の開口と前記第2の開口とに同時に前記導電性材料を充填し、更に、前記導電性材料上の前記第1の開口の位置に、前記第1の開口の寸法とほぼ同じ寸法のマスクパターンを形成して、該マスクパターンをマスクにして前記導電性材料を、前記層間絶縁膜の上面より低いレベルまでエッチングして、前記第1の開口に充填された導電性材料により形成される引出し電極と、前記第2の開口に充填された導電性材料により形成される引出し電極とを、前記層間絶縁膜と前記エッチングバリア膜とにより、互いに分離することができる。

【0019】本発明の第2の特徴によるならば、1つの

素子領域に一对のトランジスタが形成されて、一对のトランジスタのそれぞれのゲート電極の間に、一对のトランジスタに共通の共通拡散層が形成され、それぞれのゲート電極の外側に、一对のトランジスタのそれぞれの個別拡散層が形成され、共通拡散層と個別拡散層とが引出し電極を介して上層導電層にそれぞれ接続される半導体装置の製造方法において、ゲート電極と共通拡散層と個別拡散層とを含む基板主面全体を層間絶縁膜で覆い、その層間絶縁膜に、共通拡散層と個別拡散層の一方に達する第1の開口を最小加工寸法より大きい寸法で形成し、その第1の開口の内側面にエッチングバリア膜を形成し、前記第1の開口を画成する該エッチングバリア膜を残す一方、共通拡散層と個別拡散層の両方を中に含む大きさの第2の開口を前記層間絶縁膜に形成し、該第2の開口に導電性材料を充填して、更に前記エッチングバリア膜の上部が露出するまでエッチバックして、共通拡散層と個別拡散層のそれぞれに独立して接触する前記引出し電極を、前記第1の開口内と、前記エッチングバリア膜により分割された前記第2の開口内とに形成することを特徴とする半導体装置の製造方法が提供される。

【0020】上記した本発明の第1の特徴による半導体装置の製造方法においても、上記した本発明の第2の特徴による半導体装置の製造方法においても、前記ゲート電極を、側壁窒化膜とキャップ窒化膜とで覆い、前記エッチングバリア膜を窒化膜で形成し、前記層間絶縁膜を酸化膜で形成し、前記第2の開口は、酸化膜に対するエッチング速度が窒化膜に対するエッチング速度より十分高いエッチング選択比のエッチングで前記層間絶縁膜をエッチングすることにより形成することができる。

【0021】さらに、前記第1の開口を形成した後で前記第2の開口を形成する前に、前記第1の開口の底部に導電性材料を充填することもできる。また、前記第1の開口及び前記第2の開口に充填される前記導電性材料は、高濃度で不純物が導入された半導体材料である。そして、前記第1の開口及び前記第2の開口に充填された前記導電性材料をエッチングするとき、前記第1の開口内に充填された前記導電性材料が前記素子領域の外部まで延びるように前記層間絶縁膜上に延在するように前記導電性材料をバーニングすることもできる。

【0022】

【作用】上記した本発明の第1の特徴による半導体装置の製造方法を、DRAMの製造に適用した場合を説明する。図1(a)は、本発明の半導体装置の製造方法を説明するためのDRAMメモリセルの平面模式図であり、図4(i)は、図1(a)のA-A'線断面図である。なお、図1(a)には、簡単のためにビット線コンタクト孔、容量コンタクト孔、ビット線、蓄積電極は描いていない。

【0023】半導体基板101の主面に形成された素子分離108により囲まれた素子領域102において、

半導体基板101の主面上にゲート絶縁膜122を介して一对のゲート電極104が形成され、一对のゲート電極104の間に、一对のスイッチングトランジスタに共通のドレイン領域120bが形成され、それぞれのゲート電極104の外側に、一对のスイッチングトランジスタのそれぞれの個別のソース領域120aと120cが形成されている。ソース領域120aとドレイン領域120bとそれらの間のゲート電極104とにより1つのスイッチングトランジスタが構成され、ソース領域120cとドレイン領域120bとそれらの間のゲート電極104とによりもう1つのスイッチングトランジスタが構成されて、1つの素子領域に一对のスイッチングトランジスタが形成されている。

【0024】更に、セルキヤバシタを構成する蓄積電極145が、第2の引出し電極134を介してスイッチングトランジスタのソース領域120a、120cに接続されている。一方、スイッチングトランジスタのドレン領域120bは、第1の引出し電極133を介してビット線(図示せず)と接続している。

【0025】図4(j)を図11(b)と比較すればからわかるように、第1の引出し電極133、第2の引出し電極134のためのコンタクト孔は、最小加工寸法より大きい寸法で層間絶縁膜116に開口し、寸法の大きな自己整合コンタクトが形成されている。更に、第1の引出し電極133、第2の引出し電極134の間には、そのコンタクトの開口時にエッチングバリアとして機能するバリア窒化膜127が配置されている。

【0026】従って、図13(j)に示すように、コンタクト孔が多少位置ずれしても、コンタクト孔自体の寸法が大きいため、第1の引出し電極133、第2の引出し電極134は、ドレン領域120bおよびソース領域120a、120cに対して重ねあわせのずれがなく、それぞれ自己整合的に接続される。従って、微細化にともない面積が縮小されたDRAMなどの半導体メモリにおいて、ペアのスイッチングトランジスタの特性の特性が対称になるように構成できる。

【0027】更に、本発明の製造方法では、第1の引出し電極133及び第2の引出し電極134のためのコンタクト孔に同時に導電性材料を充填することにより、第1の引出し電極133及び第2の引出し電極134を形成する。すなわち、ストレージノード用パッドの上端となる部分の膜とビットラインパッドの上端となる部分の膜とを、同時に成膜する。従って、第2の引出し電極134の頂部に相当するストレージノード用パッドと、第1の引出し電極133の頂部に相当するビットラインパッドとが、ほぼ同じ高さで形成されるため、両者が積層されたり、両者の間に膜厚方向にキャッピング層が介在することもなく、コンタクトの深さが、特開平9-008254号公報に開示されている従来方法に比べ浅くなる。これは、メモリセルのサイズを縮小した場合、非

常に有利である。すなわち、コンタクト深さが深くなり、サイズ縮小も行われると、このコンタクトのアスペクト比が増大し、コンタクト内の埋めこみ材の埋めこみが不可能になるが、コンタクト深さが浅ければ、メモリセルのアスペクト比の増大もなく、メモリセルの縮小にも、対応ができる。

【0028】以上の説明からわかるように、本発明で「最小加工寸法」とは、引出し電極が接すべき拡散層の基板主面上でゲート長方向の寸法である。但し、DRAMセルなどにあってワード線の線幅と間隔が、設計ルールに等しい最小寸法になっている場合には、この「最小加工寸法」は、設計ルールに等しい寸法に対応する。

【0029】

【発明の実施の形態】第1の実施の形態

まず、図1(a)を用いて、スイッチングトランジスタ、ワード線、コンタクト、引出し電極等の接続、配置関係を説明する。図1(a)は、DRAMセルのビット線コンタクト孔、容量コンタクト孔、ビット線、蓄積電極を省略した状態のメモリセルを示す平面模式図である。パターン設計、プロセス等は0.2μmルールを採用する。

【0030】P型シリコン基板の表面に、例えばトレンチ分離により形成された素子分離領域、活性化領域を規定する。素子分離領域と活性化領域との境界である素子領域102の内部にスイッチングトランジスタが形成されている。この素子領域102は、図面において横に細長い矩形をしており、そのような形状の素子領域102の長手方向に概略直交して、ワード線104が配置されている。ワード線104はスイッチングトランジスタのゲート電極を兼ねる。スイッチングトランジスタは、これらワード線104と、N型拡散層からなるソース領域120a、120c、ドレイン領域120bとから構成される。

【0031】ソース領域120a、120cの上には、それぞれ第2のコンタクト孔130が設けられている。第2の引出し電極134は、第2のコンタクト孔130を介してソース領域120a、120cに接続されている。ドレイン領域120bの上には、第1のコンタクト孔118が設けられている。第1の引出し電極133が、この第1のコンタクト孔118を介して、ドレイン領域120cに接続されている。この図1(a)では、ワード線104の線幅と間隔が、設計ルールに等しい最小寸法になっている。

【0032】図1(a)から明らかなように、第1のコンタクト孔118と第2のコンタクト孔130との間隔は、最小寸法(最小間隔)より小さくなっている。第1のコンタクト孔118と第2のコンタクト孔130との間隔をこのように可能な限り小さくするために、後述するように、両方のパターンをそれぞれ別の2回の工程に分けて、リソグラフィーおよびエッティングを行う。

【0033】かくして、ワード線104の間隔部の寸法よりも、第1のコンタクト孔118および第2のコンタクト孔130が大きくとれるので、たとえ、第1のコンタクト孔118および第2のコンタクト孔130のリソグラフィー工程で重ね合わせずれが発生しても、ワード線104の間隔部全体を中に含み込むコンタクト孔が自己整合的に形成できる。従って、ワード線104の間隔部全体(実際には、後程詳細に説明するが、図4(j)に示される側壁窒化膜126の幅を含めたワード線104の間隔部)が、引出し電極とソース領域120a、120c及びドレイン領域120bとの接触領域として使用できるため、ソース領域120aとドレイン領域120bを構成要素とするスイッチングトランジスタとソース領域120cとドレイン領域120bを構成要素とするスイッチングトランジスタの特性が同一な、アンバランスのないペアのスイッチングトランジスタが構成できる。

【0034】次に、図1(a)および図2から図4の(a)から(j)を用いて、第1の実施の形態の半導体装置の製造方法を説明する。なお、図2から図4の(a)から(j)は、図1(a)における一点鎖線A-A'又はB-B'における模式的断面図である。

【0035】まず、図2(a)に示すように、P型シリコン基板101上に、例えば既知のトレンチ分離による素子分離108が形成される。このトレンチの深さは200nm程度である。シリコン酸化膜に換算して膜厚7nm程度のゲート酸化膜122を形成した後、N型多結晶シリコン膜を70nm程度堆積する。次にタンゲステンシリサイド(WSi)を100nm程度堆積する。さらに、窒化膜を150nm程度堆積したのち、フォトリソグラフィー工程とエッティング工程により、窒化膜、WSi、多結晶シリコンをバーニングして、キャップ窒化膜124、ワード線104を形成する。ワード線104の線幅と間隔は、互いに等しく、上述したように設計ルールに等しい最小寸法になっている。

【0036】これらの幅、すなわちゲート長は、0.2μmである。このワード線の材料としては、多結晶シリコンとWSiを例としてあげたが、このWSiのかわりに、さらに抵抗値の低減が可能なチタンシリサイド(TiSi)やタンゲステン(W)を用いてもよい。

【0037】ついで窒化膜を60nm程度の膜厚に成膜し、ドライエッティングによりエッチバックを行い、側壁窒化膜126を形成する。ワード線104および側壁窒化膜126をマスクに用いたイオン注入によりN型拡散層が形成される。このイオン注入はワード線104の形成後に実施しても、ワード線形成後と側壁窒化膜形成後の両方の機会に実施してもよい(LDD構造)。これは、所望なトランジスタ特性を確保するために適宜選択される。このN型拡散層により、ソース領域120a、120c、ドレイン領域120cが形成される。

【0038】つぎに、層間絶縁膜116となるノンドーブ酸化膜(NSG)とボロシリケートガラス(BPSG)の積層膜が堆積される。この状態での図1(a)のA-A'の線断面の模式図が図2(b)である。層間絶縁膜116の膜厚は、キャップ窒化膜124の上側に250nm程度になるように形成される。フォトリソグラフィー技術とエッチング技術により、レジストパターン117を用いて第1のコンタクト孔118を層間絶縁膜116に設ける(図2(c))。このエッチングの際に酸化膜と窒化膜のエッチング速度に20:1以上の速度比を有する高選択比のエッチングを用いる。第1のコンタクト孔118の寸法は、上述したように、ワード線104の間隔部の寸法よりも大きくとっている。従って、リソグラフィー工程においてレジストパターン117が多少ずれても、第1のコンタクト孔118は、その中に、ドレイン領域120bを完全に露出させることができる。

【0039】レジストパターン117を除去し、多結晶シリコンを堆積した後、等方性のエッチバックを用いて第1のコンタクト孔118の底部に、図2(d)のようにドレイン領域120bを完全に覆うように多結晶シリコン128を少なくとも残置する。さらに、窒化膜を堆積し、異方性のエッチバックを行い、第1のコンタクト孔118の側壁部分のみにバリア窒化膜127を形成する。この膜厚は80nm程度である。この時の状態の図1(a)のB-B'断面は、図3(e)のようになる。

【0040】さらに、図3(f)に示すように、フォトリソグラフィー技術とエッチング技術により、レジストパターン129を用いて第2のコンタクト孔130を層間絶縁膜116に設ける。第2のコンタクト孔130の寸法も、上述したように、ワード線104の間隔部の寸法よりも大きくとっている。このエッチングも先に説明した高選択比のエッチング技術を用いることにより、このレジストパターン129が、リソグラフィー工程の重ね合せれにより、例えば、バリア窒化膜127に掛かる位置に第2のコンタクト孔130が形成されるような状態で形成されても、キャップ窒化膜124、側壁窒化膜126、バリア窒化膜127がエッチングのストップとなり、これら窒化膜で構成された部分は加工されず、第2のコンタクト孔130はソース領域120a、120cを充分に露出露出することができる。

【0041】従って、バリア窒化膜127を設けるので、ワード線104の間隔部の寸法よりも大きい第1のコンタクト孔118と第2のコンタクト孔130の寸法は、ワード線104の間隔部の寸法よりも最大で50%大きいことが可能である。しかし、実際に生じるマスクずれの大きさの許容最大値を考慮して、第1のコンタクト孔118と第2のコンタクト孔130の寸法は、ワード線104の間隔部の寸法よりも10%から30%程

度で十分である。

【0042】次いで、図4(g)に示すように、多結晶シリコンを堆積し、さらに等方性のエッチバックを施して、上面が平坦化した多結晶シリコン層131を形成する。この多結晶シリコン層131の厚さは、層間絶縁膜116の上面も完全に覆うに十分である反面、層間絶縁膜116の上面での厚さは可能な範囲で薄くする。この多結晶シリコン層131上の、第1のコンタクト孔118と第2のコンタクト孔130の位置にレジストパターン132を形成する。

【0043】レジストパターン132の寸法は、図4(g)に示すように、第1のコンタクト孔118と第2のコンタクト孔130の寸法より小さい。レジストパターン132をマスクに用いて、多結晶シリコン層131を、層間絶縁膜116の上面のレベルより低いレベルまでエッチングして、図4(h)に示すように、ドレイン領域120bに接触する第1の引出し電極133と、ソース領域120a及び120cにそれぞれに接触する2つの第2の引出し電極134を形成する。これら第1の引出し電極133及び第2の引出し電極134は、層間絶縁膜116及びバリア窒化膜127により、互いに分離されている。

【0044】図面では、省略するが、さらにBPSGを主体とした層間絶縁膜を成膜し、第1の引出し電極133の上にピット線コンタクト孔を開口する。このピット線コンタクト孔は、平面図では、図1(a)において素子領域102の上辺中央から上方に突き出た第1の引出し電極133の部分に相当する。更に、例えば多結晶シリコンとタンゲステンシリサイドの積層膜を堆積してバーニングすることにより、多結晶シリコンとタンゲステンシリサイドの積層膜により構成されるピット線をピット線コンタクト孔を介して第1の引出し電極133に接続する。ピット線はワード線104と概略垂直になるように配置される。

【0045】次いで、図4(i)に示すように、BPSGを主体とした層間絶縁膜143を堆積し、フォトリソグラフィー技術とエッチング技術により、レジストパターン(不図示)を用いて容量コンタクト孔144を開口し、更に、N型不純物が導入された多結晶シリコンを堆積した後、フォトリソグラフィー技術とエッチング技術によりバーニングを行い、蓄積電極145を形成する。

【0046】引き続き、例えば酸化膜と窒化膜の積層膜からなる、酸化膜換算膜厚にして4.5nmから5nm程度の容量絶縁膜146を成膜する。この容量絶縁膜としては、タンタル酸化膜(Ta₂O₅)に代表される高誘電率膜を用いることもできる。この高誘電率膜を適用した方がセル容量の確保の面では有利である。つづいて、N型不純物が導入された多結晶シリコンを堆積し、フォトリソグラフィー技術とエッチング技術によりバタ

ーニングを行い、対向電極147を形成する。

【0047】次に、BPSGまたはノンドープ酸化膜(NSG)を用いた層間絶縁膜148を堆積している。さらに、DRAMのチップ全体としては、コンタクト孔(図示せず)とメタル配線の形成を複数回に渡って繰り返すことにより、その形成を完了する。

【0048】以上の製造方法の工程の説明において、第2のコンタクト孔130の開口において第2のコンタクト孔130の位置が、重ね合わせずれを起こしていない場合を図3(f)に示した。しかし、第2のコンタクト孔130の位置が、図3(j)に示すように重ね合わせずれを起こしても、キャップ窒化膜124、側壁窒化膜126、バリア窒化膜127はエッチングされず、形状は保たれ、側壁窒化膜の間隔部に、引出し電極と充分な接触部を形成することのできるようにソース領域120a及び120cの全体を露出させることができる。以下に、本発明の効果を整理する。

【0049】第1の効果は、第1のコンタクト孔および第2のコンタクト孔が本来重ね合わせずれがなく、ワード線の間隔部に開口、形成されるべきであるが、たとえ重ねあわせずれが生じても、ワード線の間隔部に自己整合的にコンタクト孔が形成できるため、ワード線からちょうど側壁窒化膜の膜厚分離れたところに、ソース領域、ドレイン領域を完全に露出させる開口部を形成することができる。

【0050】このように、ソース領域、ドレイン領域の開口部すなわち、引出し電極との接触部がワード線から均等な位置に形成される。引出し電極からは、N+の不純物が染み出しスイッチングトランジスタの特性に影響を与えるが、ワード線からの染み出しが同じ位置に生じるように構成されるので、ビット線が接続される引出し電極を中心にしてペアとして構成される2つのスイッチングトランジスタの特性が同一となり、セルへの安定な書き込み読み出し動作が得られる。

【0051】また、第2の効果として、第1のコンタクト孔、第2のコンタクト孔が最小の設計寸法より大きくできるため、図11(b)に示すように最小寸法と間隔で形成される第1の引出し電極312、第2の引出し電極310よりも、第2のコンタクト孔130の方が大きく形成でき、このコンタクト孔内に埋めこまれた多結晶シリコンも、上層導電層に対して引出し電極と同じように機能するため、図4(j)に示すような容量コンタクト孔144は重ね合わせマージンが大きくなる効果もある。

【0052】第2の実施の形態

図1(b)および図5(a)から図5(b)を用いて、第2の実施の形態について説明する。図1(b)は、第1の実施の形態の平面模式図に対応する第2の実施の形態の平面模式図であり、図5(a)から図5(b)は、第2の実施の形態の製造方法を説明する図2(b)のA

—A'線での断面図である。簡略化のため第1の実施の形態と異なる部分のみ示してある。

【0053】図1(b)に示すように、第1の引出し電極136のみ配置する構成であり、図1(a)の第2の引出し電極134は廃止したものになっている。第2の引出し電極がない分、第2の引出し電極の専有領域と第2の引出し電極との間隔を設ける必要がないので、第1の引出し電極136が大きくできる利点が生じる。製造方法の特徴は、図5(a)から図5(b)に示される。

図5(a)の前の工程は第1の実施の形態における図3(f)の状態である。第2のコンタクト孔130を開口した後、第2のコンタクト孔の深さ以上の膜厚のN型不純物が導入された多結晶シリコン131を成膜し、ドライエッチング技術を用いて等方的エッチバックにより、多結晶シリコン表面を平坦にしている。

【0054】この後、図5(a)のように、リソグラフィー技術を用いて第1の引出し電極136のレジストパターン135を多結晶シリコン131上に形成する。これをマスクに多結晶シリコン131を、層間絶縁膜116の上面より低いレベルまでエッチングし、図5(b)のように、第1の引出し電極136と第2の引出し電極137を形成する。第2の引出し電極137は、第2のコンタクト孔内に埋設されるように形成される。かくして、第1のコンタクト孔内に充填された導電性材料により形成される第1の引出し電極136と、第2のコンタクト孔内に充填された導電性材料により形成される第2の引出し電極137とは、層間絶縁膜116とバリア窒化膜127とにより、互いに分離される。この第2の実施の形態では、第1の実施の形態よりも第1の引出し電極が大きく形成でき、第1引出し電極とビット線を接続するためのビット線コンタクト孔と第1の引出し電極の重ね合わせ余裕が大きくできるという利点がある。

【0055】第3の実施の形態

第3の実施の形態を示す平面模式図が図6である。また製造方法は図7から図10にわたって示される。図7から図10は、図6に一点鎖線A-A'又はB-B'で示される断面の模式図である。第3の実施の形態の製造方法の図7(a)から図8(f)に示す工程は、第1の実施の形態の製造方法について図2(a)から図2(d)を参照して説明した工程と全く同じである。そこで、図1(a)及び図2(a)から図2(d)に示す要素に対応する図7から図10に示す要素には、図1(a)及び図2(a)から図2(d)において付されている100番台の参照番号に100を加えた参照番号を付して説明を省略する。

【0056】ただし、図6において示されるように、素子領域202は、第1、第2の実施の形態の素子領域102のように単純な矩形ではなく、凸の字のような形状になっている。また、この素子領域202の凸状の飛び出した部分も第1のコンタクト孔218が開口する領域

として使えるため、第1のコンタクト孔が大きくなり、リソグラフィー工程でのパターニングの容易性が高まり、第1、第2の実施の形態よりもドレイン領域と引出し電極の接触部分が大きくなることからコンタクト抵抗を低減できる点で、第1、第2の実施の形態よりも有利な構成となっている。

【0057】また、第2のコンタクト孔230も、第1、第2の実施の形態で示された、2つのソース領域上に形成した2つの第2のコンタクト孔を1つに合わせた形状、サイズとなるコンタクト孔を使用している。この第2のコンタクト孔230のパターニングも、このコンタクト孔サイズが大きいため、第1、第2の実施の形態に比べ、非常に容易になっている。

【0058】図9(g)に示されるように、第2のコンタクト孔230に対応する開口を有するレジストパターン229層間絶縁膜216上に形成し、そのレジストパターン229をマスクとして、前述した酸化膜と窒化膜の高選択比を有するエッティング条件を用いて、層間絶縁膜216をエッティングして、層間絶縁膜216に第2のコンタクト孔230を開口する。第2のコンタクト孔230の開口後、この第2のコンタクト孔の深さよりも厚い膜厚のN型不純物が導入された多結晶シリコンを堆積し、その後、マスクなしで、多結晶シリコンを、バリア窒化膜227の上部が露出するまでエッチバックする。これにより第1のコンタクト孔および第2のコンタクト孔内に多結晶シリコンが埋めこまれ、図9(i)及び(j)に示されるように、第1の引出し電極236及び第2の引出し電極237が、バリア窒化膜227によって互いに分離されて形成される。なお、第2のコンタクト孔230は、図9(i)において、第1の引出し電極236及び第2の引出し電極237を埋め込む前の状態で、層間絶縁膜216とバリア窒化膜227に形成されている開口である。

【0059】次いで、BPSGまたはNSGを用いた層間絶縁膜240を形成し、リソグラフィー技術とドライエッティング技術を用いてビット線コンタクト孔241を第1の引出し電極236の上に形成する。その後、N型不純物が導入された多結晶シリコンとタンゲステンシリサイドの積層膜を堆積してパターニングしてビット線242を形成する(図10(k)及び(l))。さらに、その上層にBPSGまたは、NSGを用いた層間絶縁膜243を形成する。この後は、第1の実施の形態の図4(i)を参照して説明した方法と同様な工程を使用して、図10(m)及び(n)に示すようなDRAMセルが完成する。

【0060】

【発明の効果】以上説明したように、本発明による製造方法によれば、たとえ第1のコンタクト孔および第2のコンタクト孔が重ねあわせを生じても、ソース領域及びドレイン領域を完全に露出させる開口部を形成する

ことができる、ソース領域及びドレイン領域と引出し電極との接触部がワード線から均等な位置に形成され、その結果、引出し電極からのN+の不純物が染み出しスイッチングトランジスタの特性に影響を与えて、ビット線が接続される引出し電極を中心にしてペアとして構成される2つのスイッチングトランジスタの特性が同一となり、セルへの安定な書き込み読み出し動作が得られる。

【0061】また、第1のコンタクト孔、第2のコンタクト孔が最小の設計寸法より大きくなるため、コンタクト孔内に埋めこまれた引出し電極と接続するように上層の層間絶縁膜に形成されるコンタクト孔の重ね合わせマージンが大きくなる。

【0062】更に、第1のコンタクト孔、第2のコンタクト孔に同時に導電性材料を充填することにより、第1の引出し電極及び第2の引出し電極を形成するので、すなわち、ストレージノード用パッドの上端となる部分の膜とビットラインパッドの上端となる部分の膜とを同時に成膜するので、第2の引出し電極の頂部に相当するストレージノード用パッドと、第1の引出し電極の頂部に相当するビットラインパッドとが、ほぼ同じ高さで形成される。そのため、コンタクトの深さが従来方法に比べ浅くでき、コンタクト孔内の埋めこみ材の埋めこみを困難や不可能にするメモリセルのアスペクト比の増大もなく、メモリセルを縮小することができる。

【図面の簡単な説明】

【図1】(a)は、本発明による半導体装置の製造方法の第1の実施の形態により製造されるDRAMの平面図であり、(b)は、本発明による半導体装置の製造方法の第2の実施の形態により製造されるDRAMの平面図である。

【図2】(a)から(d)は、第1の実施の形態の製造方法の工程を説明する模式断面図である。

【図3】(e)、(f)、(j)は、図2(d)に続く、第1の実施の形態の製造方法の工程を説明する模式断面図である。

【図4】(g)から(i)は、図3(f)に続く、第1の実施の形態の製造方法の工程を説明する模式断面図である。

【図5】(a)から(b)は、第2の実施の形態の製造方法の工程を説明する模式断面図である。

【図6】本発明による半導体装置の製造方法の第3の実施の形態により製造される半導体装置の平面図である。

【図7】(a)から(b)は、第3の実施の形態の製造方法の工程を説明する模式断面図である。

【図8】(c)から(f)は、図7に続く、第3の実施の形態の製造方法の工程を説明する模式断面図である。

【図9】(g)から(j)は、図8に続く、第3の実

施の形態の製造方法の工程を説明する模式断面図である。

【図10】(k)から(n)は、図9に続く、第3の実施の形態の製造方法の工程を説明する模式断面図である。

【図11】(a)は従来例のDRAMの平面図であり、(b)は従来例のDRAMの断面図であり、(c)は従来例のDRAMの構造を示す模式透視図である。

【図12】(d)から(f)は、従来例の製造方法を説明する模式断面図である。

【図13】(g)から(j)は、図12に続く、従来例の製造方法を説明する模式断面図である。

【符号の説明】

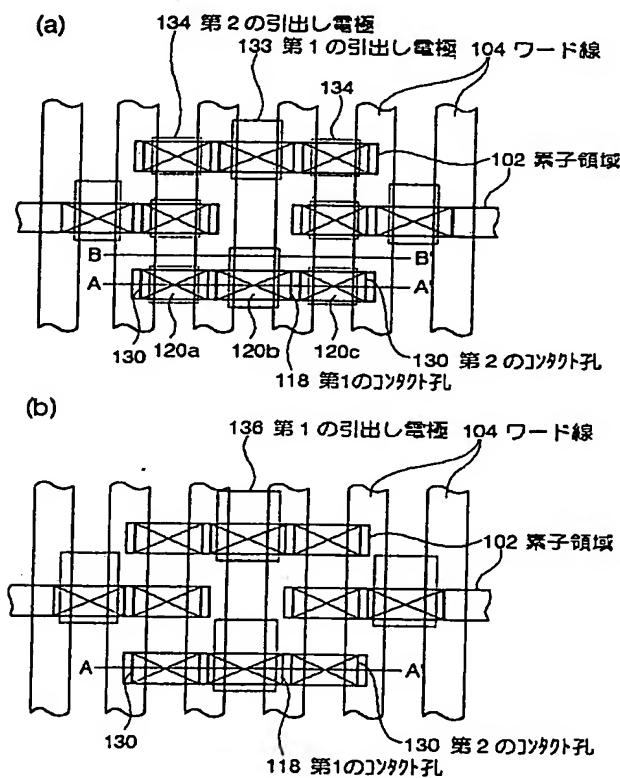
101、201、301 シリコン基板
102、202、302 素子領域

* 103、203、303	ワード線
108、208、308	素子分離
116、216、316	層間絶縁膜
118、218	第1コンタクト孔
122、222、322	ゲート絶縁膜
120a、120c、220a、220c、320a、 320c	ソース領域
120b、220b、320b	ドレイン領域
124、224、324	キャップ窒化膜
126、226、326	側壁窒化膜
127、227	バリア窒化膜
130、230	第2コンタクト孔
133、233	第1の引出し電極
134、234	第2の引出し電極

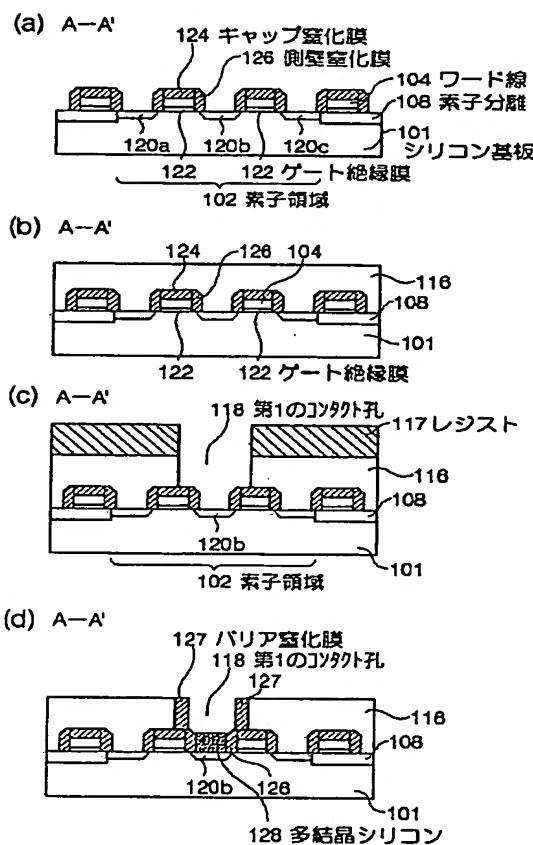
10

*

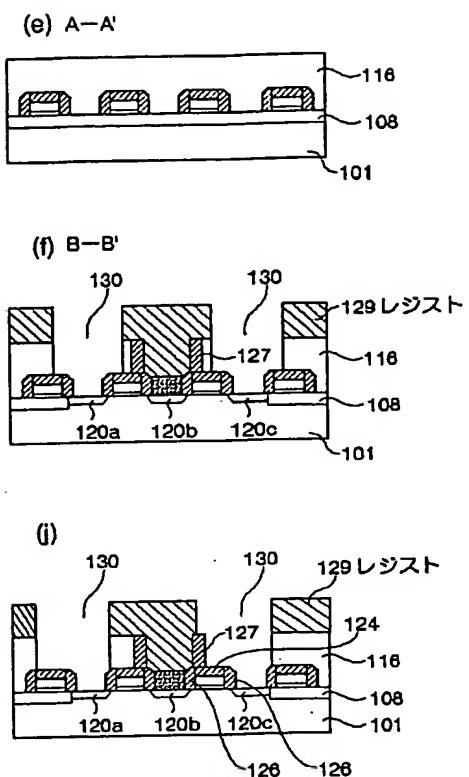
【図1】



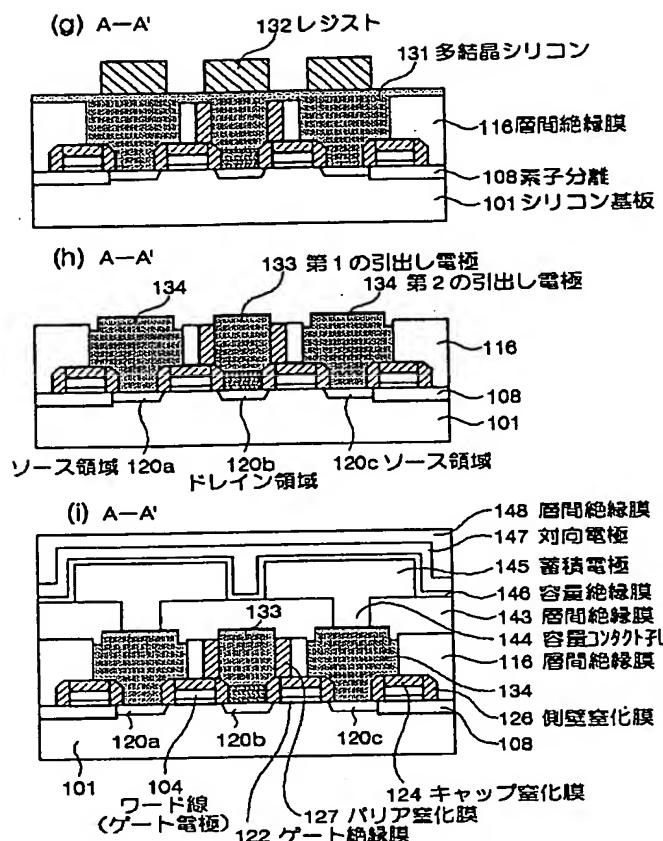
【図2】



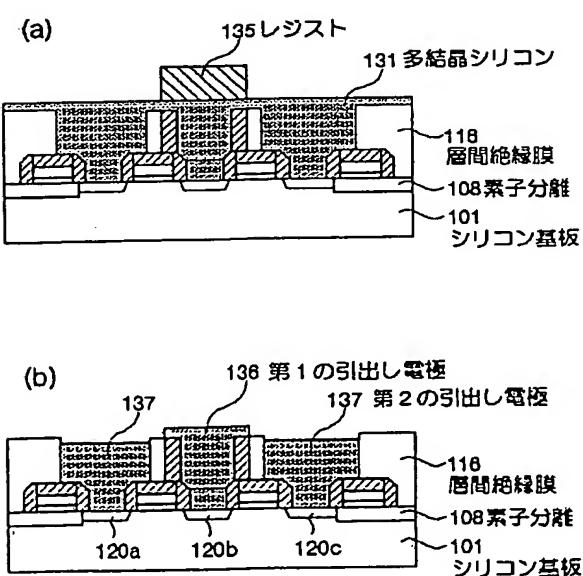
【図3】



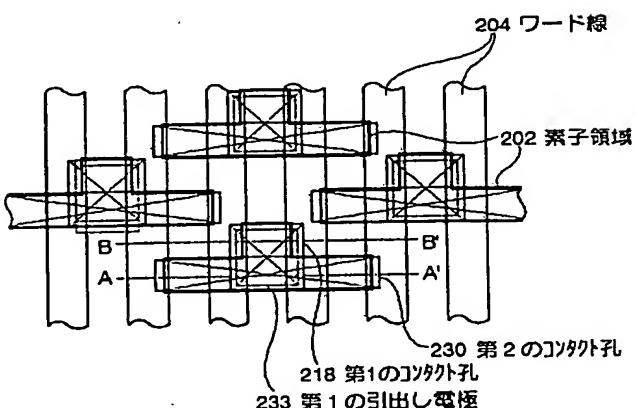
【図4】



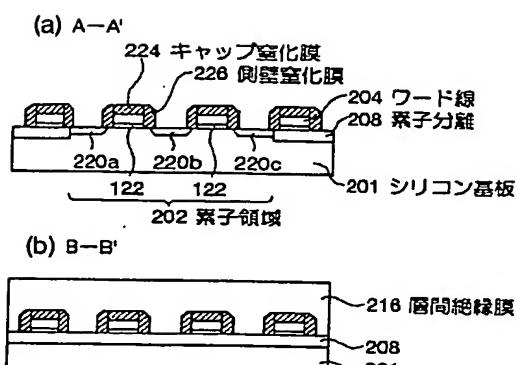
【図5】



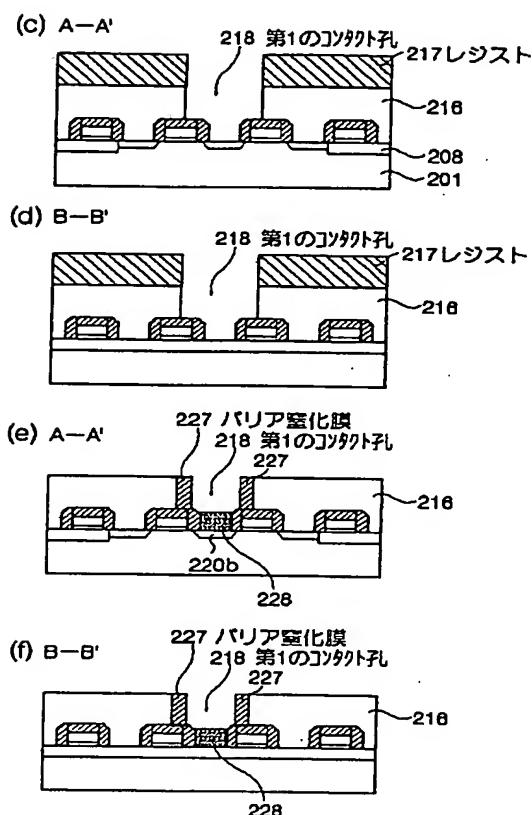
【図6】



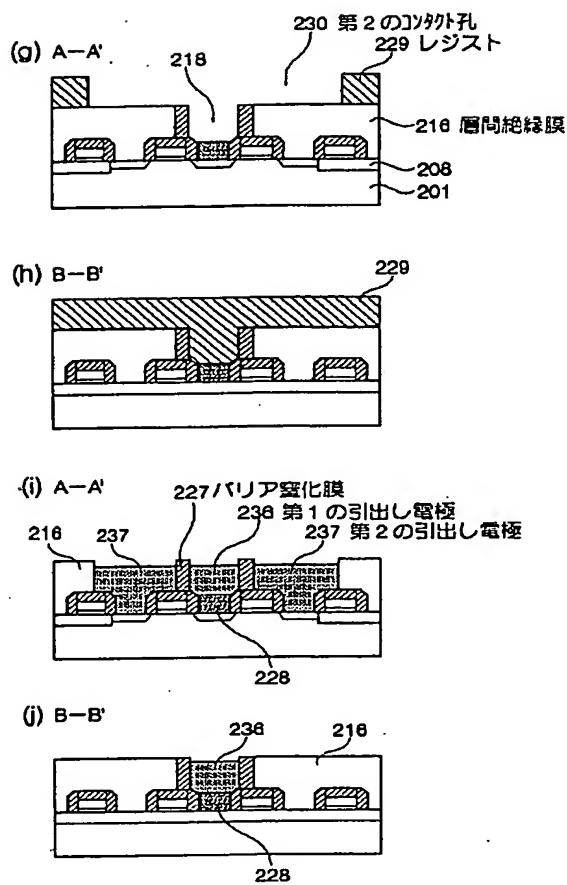
【図7】



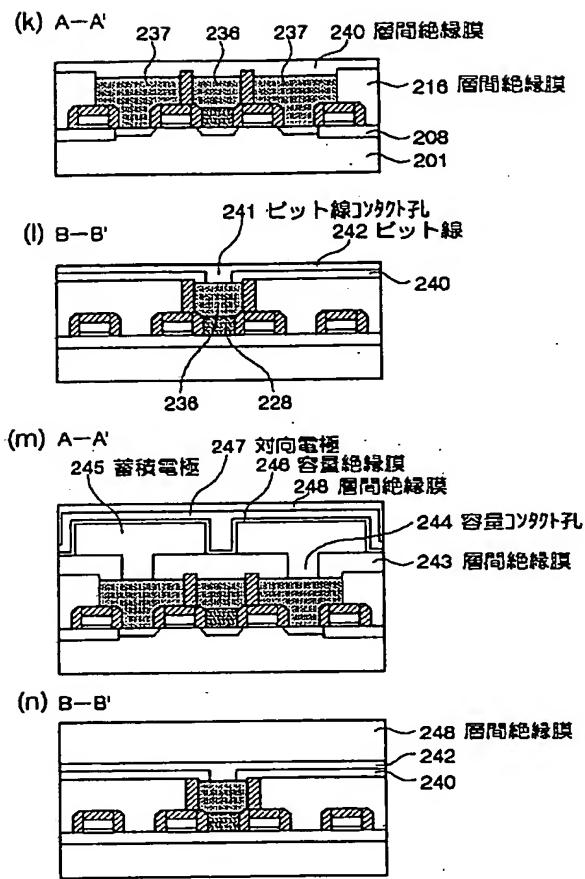
【図8】



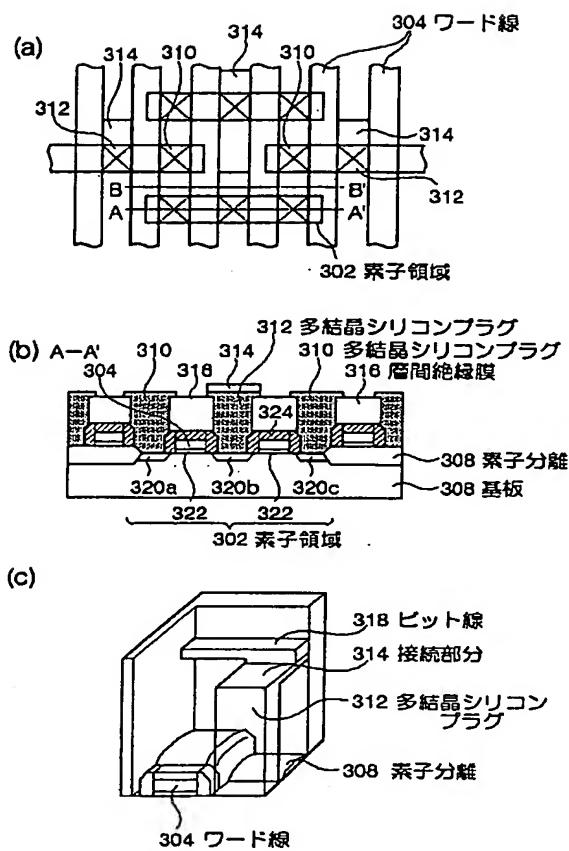
【図9】



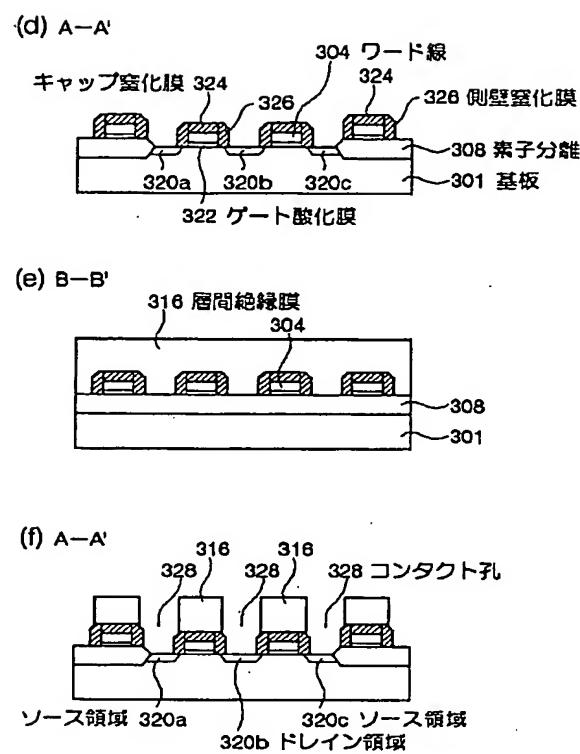
【図10】



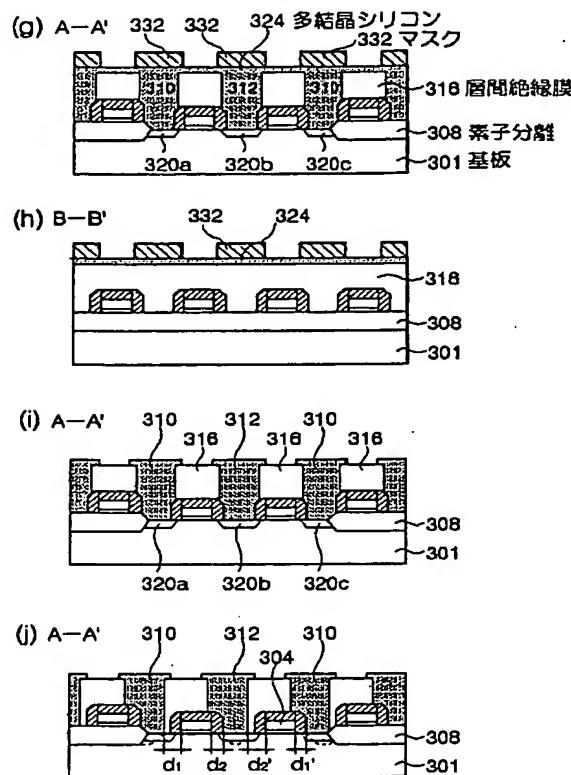
【図11】



【図12】



【図13】



フロントページの続き

F ターム(参考) 5F033 HH04 HH19 HH27 HH28 JJ04
 KK01 MM07 NN05 NN07 NN08
 NN29 QQ08 QQ09 QQ23 QQ26
 QQ31 QQ37 RR04 RR06 RR09
 RR15 TT02 VV06 VV16 XX03
 XX10
 5F083 AD10 AD42 AD48 GA02 GA09
 GA11 GA27 JA06 JA32 JA35
 JA39 JA53 JA56 MA01 MA03
 MA06 MA17 MA20 PR03 PR06
 PR10 PR29